

Forming an insulation layer, for example in an active matrix device.

Forming an insulation layer, for example in an active matrix device.

Patent Number: ☐ EP0387892, A3, B1

Publication date: 1990-09-19

Inventor(s): WATANABE JUN-ICHI C O FUJITSU (JP); ENDO TETSURO C O FUJITSU LIMIT (JP); NASU YASUHIRO C O FUJITSU LIMI (JP); OKAMOTO KENJI C O FUJITSU LIMI (JP); SOEDA SHINICHI C O FUJITSU LIM (JP)

Applicant(s): FUJITSU LTD (JP)

Requested Patent: ☐ JP2246161

Application Number: EP19900104984 19900316

Priority Number(s): JP19890066762 19890317

IPC Classification: C23C16/40; G02F1/136; H01L21/316; H01L21/336; H01L29/62

EC Classification: G02F1/1368, H01L21/316C3, H01L21/84, H01L21/28E

EC Classification: G02F1/1368; H01L21/316C3; H01L21/84; H01L21/28E

Equivalents: CA2011627, DE69020012D, DE69020012T, JP2100061C, JP8024191B, KR9308537

Abstract

A method of forming an insulation layer on a substrate, the method comprising the following steps:- (a) Subjecting the substrate to the vapour of a metal compound, organic or inorganic, which can react with H₂O and/or O₂ to form metal oxide, for a period of time sufficient for the formation of less than or substantially a single atomic layer of metal compound, and (b) Subjecting the surface of the thus formed metal compound layer to H₂O vapour and/or O₂ gas for a period of time sufficient for the metal compound layer to be replaced by a layer of metal oxide; steps (a) and (b) being repeated until the insulation layer thus formed reaches a desired thickness. The insulation layer may be a gate insulation layer of a thin film transistor, for example in an active matrix display device. In such a device, the insulation layer may alternatively be a protection layer, an interbusline insulation layer or an auxiliary capacitor insulation layer.

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A) 平2-246161

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月1日

H 01 L 29/784

8624-5F H 01 L 29/78

3 1 1 G

審査請求 未請求 請求項の数 5 (全8頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特 願 平1-66762

⑰ 出 願 平1(1989)3月17日

⑱ 発 明 者 那 須 安 宏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 発 明 者 岡 元 謙 次 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 発 明 者 渡 部 純 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 発 明 者 遠 藤 鉄 郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一
最終頁に続く

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

(1) 絶縁性基板(1)上にゲート電極(G)、ゲート絶縁膜(2)、動作半導体層(3)、ソース・ドレイン電極(6)が積層されてなる薄膜トランジスタの構成において、

前記ゲート絶縁膜(2)の少なくともゲート電極と接する部分が原子層エビタキシー法で形成した絶縁膜よりなることを特徴とする薄膜トランジスタ。

(2) 前記ゲート絶縁膜(2)が、前記ゲート電極(G)に原子層エビタキシー法で形成した第1の絶縁膜(11)と、該第1の絶縁膜に接して前記動作半導体層(3)側に形成した材質の異なる第2の絶縁膜(12)との積層膜からなることを特徴とする請求項1記載の薄膜トランジスタ。

(3) 前記第2の絶縁膜(12)がプラズマ化学気相

成長法で形成した窒化シリコン膜であることを特徴とする請求項2記載の薄膜トランジスタ。

(4) 前記第2の絶縁膜(12)が窒化アルミニウム膜であることを特徴とする請求項2記載の薄膜トランジスタ。

(5) 前記第2の絶縁膜(12)が原子層エビタキシー法で形成した窒化アルミニウム膜であることを特徴とする請求項2記載の薄膜トランジスタ。

3. 発明の詳細な説明

(概 要)

アクティブマトリクス型液晶表示装置のスイッチング素子等に用いる薄膜トランジスタに関し、

製造工程を複雑化することなく、ゲート絶縁膜と動作半導体層との界面を汚染することなく、しかもゲート絶縁膜にピンホールやクラックが生じにくくすることを目的とし、

絶縁性基板上にゲート電極、ゲート絶縁膜、動作半導体層、ソース・ドレイン電極が積層されてなる薄膜トランジスタの構成において、前記ゲ-

ト絶縁膜の少なくともゲート電極と接する部分が原子層エビタキシー法で形成した絶縁膜よりなる構成とし、更に、前記ゲート絶縁膜が、前記ゲート電極に原子層エビタキシー法で形成した第1の絶縁膜と、該第1の絶縁膜に接して前記動作半導体層側に形成した材質の異なる第2の絶縁膜との積層膜からなることを特徴とする。

(産業上の利用分野)

本発明は、アクティブマトリクス型液晶表示装置のスイッチング素子等に用いる薄膜トランジスタ(TFT)に関する。

TFTを用いて液晶を画素ごとに駆動するアクティブマトリクス型の液晶表示装置は、表示品質が優れ、フルカラー動画を実現し得ることから、CRTを超える平面型表示装置として期待されている。

(従来技術)

従来の液晶駆動用薄膜トランジスタは、第6図

は加熱酸化時に高い基板温度を必要とすることから、基板として高価な石英ガラスを用いる必要があり、しかも製造工程は必ずしも容易とは言えないという問題があった。

(発明が解決しようとする課題)

特に前者の場合、補助容量作製というプロセスを付加しない出液晶セルへの寄生容量の影響を避けるためには、電極の重なりしろdを小さくすることが良好な表示を得るために重要であるが、下地段差カバーレッジ部51の特に機械的強度が劣る下部の電極端部52に、上部電極のストレスを受け易い電極端部53が重なるという問題があった。

機械的弱点部で絶縁破壊により短絡すると、配線ライン間の信号の干渉があり、表示のライン欠陥あるいは点欠陥が生じ、また、低抵抗欠陥があると、液晶セルに蓄積された電荷のリークにより表示の点欠陥が生じる。

更に、低抵抗欠陥等の影響を避けるため、陽極酸化のTa₂O₅等を用いた複合絶縁膜を用いる

に概略構成を示すごとく、一般にガラス基板1上にゲート電極Gを設け、その上をゲート絶縁膜2で覆い、動作半導体層3を形成し、さらにソースS、ドレインDを配置した構成となっている。

動作半導体層3にプラズマ化学気相成長(PCVD)法で形成したアモルファスシリコン(a-Si:H)層を用いる場合には、ゲート絶縁膜2にPCVD法による窒化シリコン(SiN_x)か酸化シリコン(SiO₂)、或いはシリコンオキシナイトライド(SiON)を用い、動作半導体層3に多結晶シリコンを用いる場合は、Siを加熱酸化して形成した熱酸化膜をゲート絶縁膜2として用いていた。

ところが前者はゲート絶縁膜Gや動作半導体層3を同一真空槽内で連続的に成膜できるので、製造工程は簡単であるが、下地電極段差のステップカバーレッジが充分でない。そのため、ゲート絶縁膜2の機械的強度が充分でない等の理由によりクラックが生じ易く、十分な絶縁耐圧あるいは絶縁抵抗を得ることが困難な場合が多く、また後者

こともできるが、この場合にはバターンニングに際してウエット工程を必要とするため、絶縁膜の界面が汚染され、TFTの電圧-電流特性における閾値のシフトが生じ易いという問題があった。

本発明は、製造工程を複雑化することも、ゲート絶縁膜と動作半導体層との界面を汚染することもなく、しかもゲート絶縁膜にピンホールやクラック等に起因する絶縁破壊や低抵抗欠陥を生じにくくすることを目的とする。

(課題を解決するための手段)

本発明は第1図に示す如く、ゲート絶縁膜Gが原子層エビタキシー法により形成した絶縁膜を有してなることを特徴とし、更に好ましくはこのゲート絶縁膜を原子層エビタキシー法による第1の絶縁膜と、その上に動作半導体層と接して形成した材質の異なる絶縁膜からなる第2の絶縁膜との積層膜とした。

(作 用)

原子層エピタキシー法はガス分子の基板表面への化学吸着を利用しているため、下地のゴミ、汚染等の影響を受けにくく、絶縁耐圧が優れており且つピンホールレスとすることができる。

更に、この原子層エピタキシー法による絶縁膜は、下地の電極のカバーレージに優れ、上部電極端等の外部ストレスに対して耐える機械的強度を有しているので、上下電極端部で強い機械的ストレスを受ける部分で微小リーク電流も許されないという制約がある液晶表示用 TFT のゲート絶縁膜として適している。

また、原子層エピタキシー法と P-CVD 法は同一真空槽内に被処理試料を入れたまま、真空中を破ることなく、反応ガスおよび成膜条件を切り換える（ロードロック方式と呼ばれる）のみで連続的に実行できる。従って、ゲート絶縁膜 G を原子層エピタキシー法で形成した絶縁膜上に、材質の異なる他の絶縁膜を P-CVD 法により積層した構成とした場合、この 2 つの絶縁膜とその上の

11 と第 2 の絶縁膜 12 とを積層した膜を形成する。上記第 1 の絶縁膜 11 としては、原子層エピタキシー法を用い、単原子層のアルミナ (Al_2O_3) 膜と単原子層の酸化チタン (TiO_2) 膜を交互に積層して、厚さ約 4500 Å の積層膜をガラス基板 1 上に形成する。

上述の原子層エピタキシー (Atomic Layer Epitaxy; 以下これを ALE と略記する) 法による成膜法を、 Al_2O_3 を成膜する場合を例として第 2 図 (a)~(c) に示す。

同図 (a) に示すように、真空槽 21 内の所定位置にガラス基板 1 を載置し、ヒータ 22 で加熱して基板温度を 300~500° とし、第 1 の材料ガスとして $AlCl_3$ (塩化亜鉛) を昇華して Ar 等のキャリアガスと共にガスの状態で導入し、内部圧力を約 10^{-4} Torr とする。これにより、ガラス基板 1 表面に 1 原子層の $AlCl_3$ が化学吸着する。

次いで同図 (b) に示すように、導入ガスを $AlCl_3$ から Ar のような不活性ガスに切り換え、 Al_2O_3 を置換する。

動作半導体層である a-Si:H 層を、同一真空槽内で真空を破ることなく連続的に成膜することができる。従ってゲート絶縁膜と a-Si:H 層との界面を清浄に保つことができる。

更に、上記原子層エピタキシー法により形成した絶縁膜の上に、原子層エピタキシー法により窒化アルミニウム膜を積層した構成とした場合には、その上層に形成する a-Si:H 層の成膜工程が容易という利点を有する。

これらの効果により、特性が優れかつ無欠陥の TFT マトリクスを作成できる。

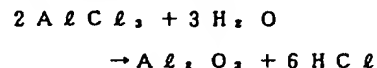
(実 施 例)

以下本発明の好ましい実施例を図面を参照して説明する。

第 1 図および第 2 図 (a)~(c) に本発明の第 1 の実施例を示す。

本実施例ではガラス基板 1 上に Ti 膜のような金属膜からなるゲート電極 G を形成した後、これを被覆するゲート絶縁膜 2 として、第 1 の絶縁膜

次いで同図 (c) に示すように、導入ガスを Ar 等のキャリアガスと混合した H_2O に切り換える。これにより、 H_2O がガラス基板 1 上に吸着した Al と反応し、下記の反応式に示す如く、 Al_2O_3 と HCl を形成する。



上記 HCl は気体となって外部に排気される。

次いで上記 (b) に示す不活性ガスによる真空槽 21 内の置換を行なう。

ALE 法による成膜は、上記一連の工程を 1 サイクルとして、成膜したい原子層の数だけ上記サイクルを繰り返す。

上記一連の工程で、 Al_2O_3 膜を成膜する際の第 1 の材料ガスとして、 $Al(CH_3)_3$ (トリメチルアルミ) を用いることもできる。また、上記一連の工程で、第 1 の材料ガスを $TiCl_4$ (塩化チタン) とし、内部圧力を 10^{-4} Torr 程度とすれば、 TiO_2 (酸化チタン) 膜を成膜することができる。

なお、上記一連の説明では、1サイクルで1原子層が吸着する旨述べたが、実際に吸着するのは完全な1原子層ではなく、成膜条件によって1原子層前後、例えば、0.8原子層或いは0.7原子層程度が吸着する場合がある。従って本明細書で1原子層言った場合、ALE法の1サイクルで形成される膜を意味し、完全な1原子層のみでなく、1原子層前後を意味するものとする。

以上のようなALE法により Al_2O_3 膜と TiO_2 膜を1原子層ずつ交互に積層し、約4500Åの厚さの第1の絶縁膜11を形成する。

次いで、上記真空槽21の真空を破らずに、通常のプラズマ化学気相成長(P-CVD)法に切り換えて、厚さ約300Åの SiN 膜を第2の絶縁膜12として形成する。本実施例では、前述のALE法で成膜した第1の絶縁膜11と、このP-CVD法で形成した第2の絶縁膜12により、ゲート絶縁膜Gを構成する。

引き続き同一真空槽21内で、上記第2の絶縁膜12の上に、P-CVD法により、 $a-Si:H$

層3を100~5000Åの厚さに、更にチャネル保護膜4として、 SiN 膜あるいは SiO_2 膜を連続的に成膜する。

次いで上記チャネル保護膜4の不要部を除去した後、 $n^+a-Si:H$ 層5を下地に持つソース・ドレイン電極6を形成して、本実施例の薄膜トランジスタが完成する。

以上のようにして作製した本実施例では、ゲート絶縁膜Gが、ALE法で形成した第1の絶縁膜11を下層とし、P-CVD法で形成した第2の絶縁膜12を上層とした構成としたことにより、次のような利点を有する。

即ち、下層の第1の絶縁膜11はALE法で形成した膜であるので、ピンホールやクラックを生じることがなく、また、下地に凹凸があっても良好な被覆性が得られる。上層の第2の絶縁膜12は、下層の第1の絶縁膜11の形成が完了した後、同一真空槽内で真空を破ることなくP-CVD法を施して、 SiN 膜および $a-Si:H$ 層を連続的に形成できるので、 SiN 膜と $a-Si:H$ 層との

界面が従来同様に清浄に保たれる。

そのため、電気的特性を損なうことなく、ゲート絶縁膜Gのピンホールやクラックの発生を防止することができ、耐圧不良の発生を大幅に減少することができる。また、液晶表示の点欠陥につながる低抵抗欠陥部分も激減させることができる。

第3図(a)、(b)は上述の耐圧不良の発生防止効果を示す図で、(a)は本実施例について、(b)は従来構造の薄膜トランジスタについての耐圧分布を示す図である。この2つの図から明かなように、従来構造では、耐圧分布は100V以上をピークとして40V程度まで裾を引いていたのが、本実施例の耐圧分布は裾を引くことがなく、従来の耐圧の上限値の100V以上に集中する。従来の耐圧不良部を詳細に観察すると、その多くにゲート絶縁膜のピンホールまたはクラックが発見され、一方本実施例のゲート絶縁膜には全くピンホールやクラックが発見されないことから、この差が第3図(a)、(b)に示す耐圧分布の差となったものと判断される。

なお、本実施例で第1の絶縁膜11として Al_2O_3 膜と TiO_2 膜を交互に積層したのは、比誘電率が Al_2O_3 のみでは約9となるところを、 TiO_2 膜を交互に積層することで、10~15程に大きくできるので、薄膜トランジスタのチャネル部に有効に電界を印加できる構成とすることができる。即ちこの構成は、耐圧の良好な Al_2O_3 膜と比誘電率が大きい TiO_2 膜を交互に積層することによって、両者の利点を合わせ有する絶縁膜を形成したものである。

従って第1の絶縁膜11の構成は、従来の Al_2O_3 膜と TiO_2 膜を交互に積層したものに限定されるのではなく、目的によって Al_2O_3 膜や TiO_2 膜のみの構成とすることもでき、また上記2つの絶縁膜以外のものを積層した構成とすることもできる。

また、第1の絶縁膜11と第2の絶縁膜12の膜厚も本実施例に限定されるのではなく、ピンホールやクラックの発生の防止と、 $a-Si:H$ 層との界面を清浄に保つという2つの課題をともに満

足できれば、これらの厚さは任意に選択できるものであり、第2の絶縁膜も場合によっては省略可能である。

更に、上記一実施例では第2の絶縁膜12をSiN膜、動作半導体層3をa-Si:H層としたが、この組合せはチャネル部のモビリティが高いという利点を有するので、現状では望ましい構成と言えるが、これは第2の絶縁膜12および動作半導体層3の材質を限定するものではない。

上記一実施例はまた、逆スタガード型薄膜トランジスタに適用した例を説明したが、スタガード型の薄膜トランジスタであっても、本発明を適用することは可能である。

次に第4図および第5図により本発明の他の実施例を説明する。

第4図に示す如く、本実施例はゲート絶縁膜2を原子層エビタキシー法のみで形成した構成としたもので、ゲート電極G側のAl₂O₃膜11と、その上にa-Si:H層3と接して形成した窒化アルミニウム(AlN)膜12とを積層した。

によって作られたガス流により、原料ガスの塩化アルミニウム蒸気と水蒸気は混合しない。

このようにして作られた定常流を乱さないような速度、例えば往復3秒の周期で、移動機構上に乗せられている基板Wを、塩化アルミニウム蒸気雰囲気と、水蒸気雰囲気の間を移動させる。この往復を6000回繰り返すことによって、およそ4000Åの厚さのアルミナ(Al₂O₃)多結晶薄膜が得られる。

更に、弁V₂を閉じて水蒸気の供給を停止し、弁V₁を開けてアンモニア(NH₃)ガスを送り込む。上記したのと同じく、定常流を乱さないような速度例えば往復3秒の周期で、移動機構上の基板Wを塩化アルミニウム蒸気雰囲気とアンモニアガス雰囲気との間で移動させる。この往復を500回繰り返すことによって、約200Åの厚さの窒化アルミニウム多結晶薄膜が得られる。

続いて、P-CVD法によりアモルファスシリコン(a-Si:H)層3を形成する。

その上に、n⁺-a-Si:H層5およびソース

このような2つの絶縁膜を原子層エビタキシー法により形成するには、本発明者らが特願昭62-227118号にて提唱した薄膜形成方法およびその装置を用いて実施できる。以下その形成方法を第5図により説明する。

扇状のチャンバー20の中央部に不活性ガスのアルゴン(Ar)バリアガス出口N₂を配設し、これらの両側に一組ずつ原料ガス出口と、扇の要の部分に排気用ターボ分子ポンプV₁の吸気口を配設する。基板Wは扇形の左右を移動できるような機構の上に乗せられている。

まず、薄膜形成領域中央に置かれた基板Wを、約300℃に加熱し、ターボ分子ポンプV₁により雰囲気を約5×10⁻⁷Torrまで排気する。次に、弁V₂を開けてArガスをおよそ1000sccm流し、反応圧力が約0.1Torrになるように、オリフィス弁OFを絞る。

次に塩化アルミニウム(AlCl₃)容器を約110℃に加熱して、AlCl₃蒸気を発生し、弁V₂を開け、水蒸気を流す。Arガスの定常流

・ドレイン電極6を形成して、本実施例のTFETが完成する。

本実施例では、a-Si:H層3の地下層として、アモルファス性の強い窒化物を形成したことによって、その上部に形成されるa-Si:H層は、結晶性が低くアモルファス性の高い特性を有し、薄膜トランジスタのスイッチング特性が良好なa-Si:H層が安定に形成される。

即ち、原子層エビタキシー法によって形成したAl₂O₃膜上に、P-CVD法によりa-Si:H層を形成する場合、微小粒状の多結晶シリコン膜が形成され易く、成膜条件の選択および制御が必ずしも容易ではない。本実施例では原子層エビタキシー法で形成したアルミナ膜とa-Si:H層との間に、窒化アルミニウム膜を介在させたことによってこの問題を解消することができた。なお、この窒化アルミニウム層は、原子層エビタキシー法に変えて、P-CVD法を用いて形成してもよい。

なお、本実施例においても、ゲート絶縁膜2に

ピンホールやクラックを生じることがなく、また下地に凹凸があっても良好な被覆性が得られることは、前記一実施例と同様である。

〔発明の効果〕

以上説明した如く本発明によれば、液晶駆動用 TFT マトリクス等、1 個のピンホールも低耐圧点も低抵抗点も許されない高い信頼性を要する TFT のゲート絶縁膜の信頼性を著しく高め、且つ TFT 特性は従来通り十分なものが得られる。

従って、TFT を用いたアクティブマトリクス型液晶パネルの歩留り向上に効果絶大である。

ある。

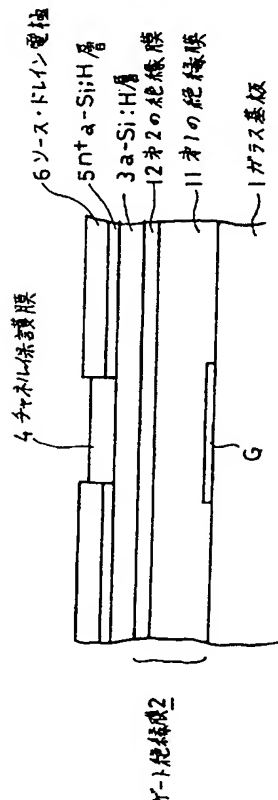
図において、1 は絶縁性基板（ガラス基板）、2 はゲート絶縁膜、3 は動作半導体層（a-Si : H 層）、11 は第 1 の絶縁膜、12 は第 2 の絶縁膜を示す。

代理人 弁理士 井 桁 貞 一

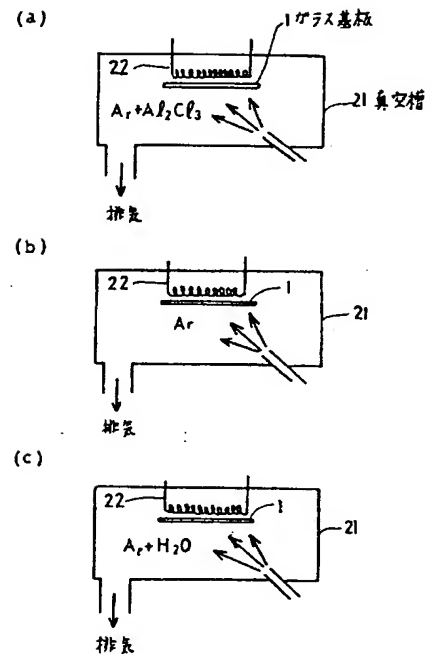


4. 図面の簡単な説明

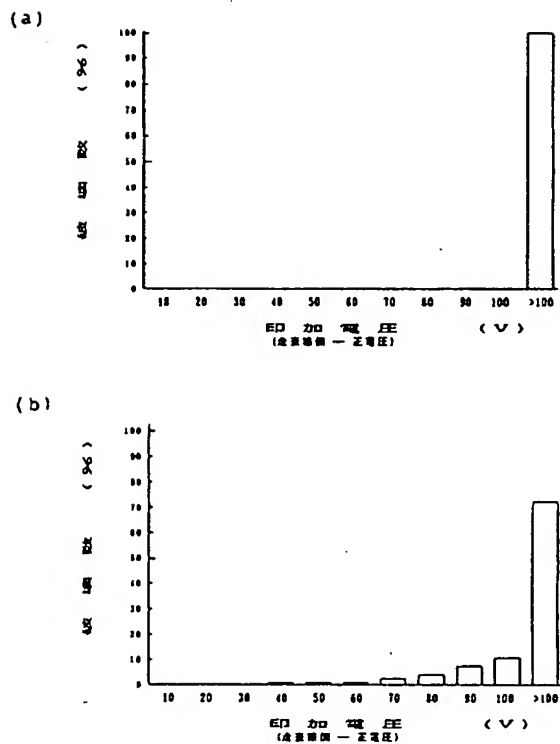
- 第 1 図は本発明一実施例の構成説明図、
- 第 2 図(a)～(c)は ALE 法説明図、
- 第 3 図は本発明一実施例の耐圧改善効果説明図、
- 第 4 図は本発明他の実施例構成説明図、
- 第 5 図は薄膜形成装置の斜視図、
- 第 6 図は薄膜トランジスタの基本断面構造図で



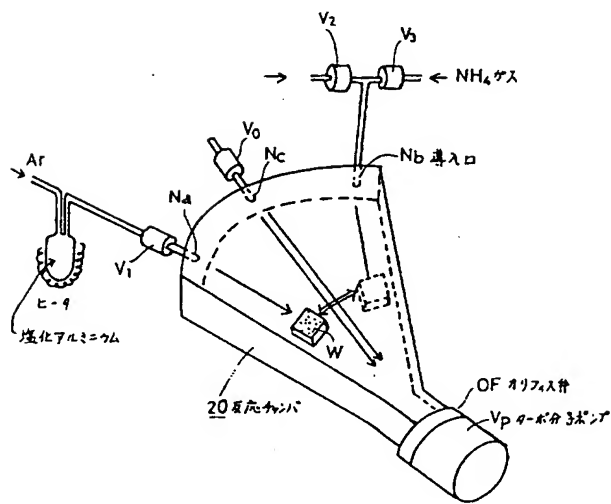
本発明一実施例構成説明図
第 1 図



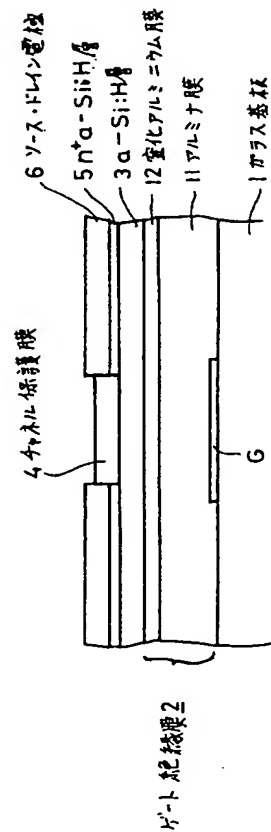
ALE 法説明図
第 2 図



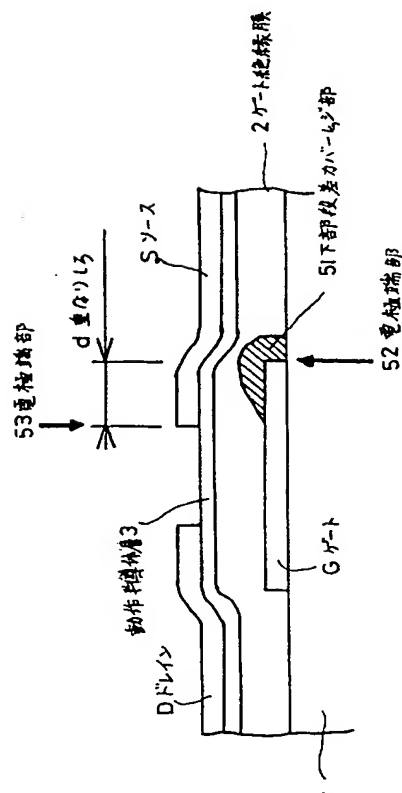
本発明の実施例の耐圧改善効果説明図
第3図



薄膜形成装置の斜視図
第5図



本発明他の実施例構成説明図
第4図



薄膜トランジスタの基本断面構造
第6図

第 1 頁の続き

②発 明 者 添 田 信 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内